



## معرفی پایه‌های پردازنده پنتیوم

جهت درک کامل عملکرد پنتیوم لازم است که معماری سخت افزاری آن بررسی شود. پردازنده های پنتیوم از امکاناتی از قبیل پالس ساعت سریع و سایر امکانات اضافی، استفاده می نمایند. در تصویر زیر پردازنده پنتیوم با فرکانس 66MHZ یا 60 MHZ نشان داده شده است. این پردازنده دارای ۲۷۳ پایه (Pin Grid ) PGA ( Array ) می باشد. پردازنده های با فرکانس 60MHZ و 66MHZ اولین تولیدات سری پنتیوم می باشند. یادآوری می کنیم که ولتاژ تغذیه پنتیوم در مدل های 60 و 66 برابر با 5 v می باشد.

پایه های پردازنده پنتیوم ( 510\60 , 567\66 )

Copyright 1995 Intel co.

## سیگنال های سخت افزاری

.....  
( Address 20 mask ) A20M

این ورودی به پنتیوم قابلیت آن را می دهد که حافظه آدرس پذیر خود را به 1MB محدود نماید تا بتواند با 8086 متناظر باشد. این سیگنال را فقط در حالت حقیقی می توان فعال نمود.

A3 تا A31 ( خطوط آدرس )

این ۲۹ خط آدرس به همراه خروجی های فعال کننده بایت گذرگاه، آدرس ۳۲ بیتی پنتیوم را می سازند، در این حالت می توان از 4096MB ( ۴ گیگابایت ) فضای حافظه به همراه ۶۵۵۳۶ درگاه ورودی / خروجی استفاده نمود.

خطوط آدرس را در طی سیکل خواندن می توان به عنوان ورودی آدرس به کار برد که می تواند به وسیله حافظه نهان داخلی بررسی شود.

.....  
( Address storbe ) ADS

.....  
خروجی ADS هنگامی که صفر باشد مفهوم آغاز سیکل جدیدی از گذرگاه را می دهد. در صورت فعال بودن ADS ( صفر بودن ) سیگنالهایی که می توانند سیکل جدید گذرگاه را ایجاد نمایند معتبر می باشند. این سیگنالها شامل گذرگاه آدرس و فعالسازهای بایت، ، D/C ، W/R ، PCD و SCYC ، PWT ، AP ، LOCK ، CACHE ، M/IO می باشند.



## AHOLD (نگاهداری آدرس)

این ورودی جهت قرار دادن گذرگاه آدرس پنتیوم در حالت امپدانس بالا به کار می‌رود که بدین طریق می‌توان یک سیکل پرس و جو را اجراء نمود.

## AP (توازن آدرس)

این سیگنال دو طرفه بوده و جهت فعال سازی توان زوج در خطوط A 5 تا A31 بکار می‌رود. در هنگامی که پنتیوم یک آدرس را تولید می‌کند AP به عنوان خروجی به کار می‌رود و در سیکل‌های پرس و جو به عنوان ورودی کاربرد دارد.

## APCHK (بررسی توازن آدرس)

این خروجی در صورتی که خطا در توازن خطوط آدرس وجود داشته باشد صفر می‌شود. مداری خارجی جهت اجراء عملیاتی متناظر با حالت این خروجی قرار داده شده است.

## APICEN (Advanced Programmable Interrupt Controller Enable)

این ورودی جهت فعال‌سازی یا غیر فعال نمودن مدار کنترل کننده داخلی وقفه APIC در پنتیوم به کار می‌رود. APICEN در هنگام راه اندازی مجدد کامپیوتر نمونه برداری می‌گردد.

## BE7 تا BE0

خروجی این ۸ فعالساز بایت به همراه A3 تا A31 یک آدرس 32 بیتی را تولید می‌نمایند. هر فعالساز بایت جهت کنترل یک بخش ۸ بیتی متفاوت از گذرگاه ۶۴ بیتی داده به کار می‌رود. جدول زیر عمل هر فعالساز بایت را نشان می‌دهد.

عملکرد فعالسازهای بایت

Output	Data Bus Byte Enable
BE0	D0-D7
BE1	D8-D15
BE2	D16-D23
BE3	D24-D31
BE4	D32-D39



BE5	D40-D47
BE6	D48-D55
BE7	D56-D63

BF0 , BF1 (فرکانس گذرگاه)

این دو ورودی در هنگام راه اندازی مجدد نمونه برداری می‌شوند و فرکانس گذرگاه را با فرکانس مرکزی CPU تنظیم می‌نمایند. در صورتی که BF0 فعال و یا معلق باشد نسبت نرخ گذرگاه به هسته ۲/۳ می‌باشد و در صورتی که غیر فعال باشد این رقم برابر با ۱/۲ می‌شود.

BOFF ( Backoff )

این ورودی باعث می‌شود که پردازنده سیکل‌های جاری گذرگاه را قطع نموده و گذرگاه را در حالت امپدانس بالا قرار دهد. اجرا سیکل گذرگاه متوقف شده پس از فعال شدن B OFF از اول آغاز می‌گردد.

BP0 , PM , BP1 / PM , BP2 , BP3

خروجی BP ( Break Point ) با مجموعه ای از ثبات‌های داخلی به نام ثبات های اشکال زدایی ( Debug ) معادل می‌باشند. ۸ ثبات اشکال زدایی موجود است. ۴ ثبات اول ( DR0 تا DR4 ) جهت ذخیره سازی آدرس حافظه یا ورودی / خروجی برنامه برد اصلی به کار می‌روند. برد اصلی یک آدرس از پیش تعریف شده است که برنامه نویس آن را به منظور تشخیص نحوه اجرا برنامه به کار می‌برد. به عنوان مثال ، یک نقطه توقف برد اصلی را مثلاً در آدرس 1000H تنظیم می‌نمائیم تا ببینیم که چه مقادیری در آن نقطه نوشته و یا خوانده می‌شوند. خروجی برد اصلی در صورتی که آدرس آن در ثبات اشکال زدایی متناظر با آدرس محل جاری برنامه انطباق حاصل نماید یک می‌شود. دو خروجی P M > ۱ مدیریت اجرا به کمک دو خروجی B P پائین رتبه ارسال می‌گردند ( Multiplex ) این سیگنالها پس از راه اندازی مجدد 0 و مشخص کردن وضعیت شمارنده‌های دو مدیر اجرا داخلی ، فعال می‌شوند. تنظیم بیت DE > ۲ در Control Register4) CR4 نیاز به تغییر دو خروجی BP0 و BP1 دارد.

1- Performance Monitoring

2- Debug Extention

BRDY ( Burst Ready )

در طی یک تستیکن خواندن، این ورودی مشخص کننده آن است که داده‌رویی گذرگاه داده معتبر می‌باشد. در سیکل نوشتن BRDY به CPU اطلاع می‌دهد که داده خروجی ذخیره شده است. BRDY در عملیات حافظه‌ای و ورودی/خروجی به کار می‌رود. اگر BRDY در هنگام



نمونه برداری، صفر نباشد پنتیوم یک سیکل ساعت اضافه ایجاد می نماید ( حالت انتظار ) تا بدین وسیله زمانی اضافه جهت انتقال داده فراهم نماید.

**BREQ ( درخواست گذرگاه )**

این خروجی در صورتی که پنتیوم در یک سیکل آماده سازی سیکل گذرگاه باشد صفر می گردد. در سیستم های چند پردازنده ای BREQ را جهت استفاده در مواردی که رقابت در استفاده از گذرگاه به وجود می آید به کار می برند .

**BT0 تا BT3 ( Branch Trace )**

BT0 تا BT2 سه بیت پائین رتبه ( A0 تا A2 ) آدرس مقصد در اجرا دستورالعمل انشعاب را تولید می نمایند. B T3 معرف اندازه عملوند دستورالعمل جاری می باشد ( 0 جهت 16 بیت و 1 جهت 32 بیت ).

**BUSCHK ( کنترل گذرگاه )**

این ورودی در صورت صفر بودن مشخص می کند که ایرادی در آخرین سیکل گذرگاه وجود دارد. در این صورت پردازنده بایستی عمل کنترل ماشین را جهت ترمیم خطا انجام دهد.

**CACHE ( توانائی حافظه نهان )**

این ورودی به مفهوم آن است که داده های سیکل جاری گذرگاه در حال نوشتن و یا خواندن از حافظه نهان می باشند.

**CLK ( Clock )**

این پایه ورودی ساعت پردازنده می باشد. ورودی CLK بایستی ثابت باشد ( فرکانس مشخصی داشته باشد ) که در هر ۱۵۰ هزارم ثانیه اعمال می گردد.

**CPUTYP ( نوع CPU )**

این ورودی در سیستم های دو پردازنده ای جهت مشخص نمودن نوع CPU به کار می رود. در صورت صفر بودن این ورودی پردازنده اصلی مشخص می گردد. در صورتی که این پایه یک باشد بدین معنی است که از ۲ پردازنده استفاده می شود.

**D/C ( کد یا داده )**





.....  
( Functional Redundancy Checing Master / Checker ) FRCMC

این ورودی در حین عمل راهاندازی مجدد جهت تشخیص آنکه آیا پنتیوم بعنوان Master (در صورت ۱ بودن) و یا به عنوان Checker (در صورت صفر بودن) عمل می نماید نمونه برداری می شود. در صورتی که دو پردازنده پنتیوم در سیستم وجود داشته باشد یکی به عنوان Master و دیگری به عنوان Checker عمل می نماید. زوج Master / Checker قابلیت اطمینان سیستم های مداری (مانند سیستم کنترل پرواز) را بالا می برد.

.....  
( Hit / Miss to Modified Cache Line ) HIT

این خروجی مشخص کننده اشاره به حافظه نهان (در صورت صفر بودن)، به عنوان نتیجه ای از سیکل جستجو می باشد.

.....  
( Hit / Miss to Modifide Cashe Line ) HITM

این خروجی مشخص کننده آن است که یک خط تغییر یافته در حافظه نهان و به عنوان نتیجه یک سیکل جستجو قرار گرفته است.

( Bus Hold Acknowledge ) HLDA

خروجی HLDA به منظور مشخص نمودن این مسأله که پنتیوم در حالت HOLD قرار دارد به کار می رود (به عنوان نتیجه درخواست HOLD). در صورتی که حافظه نهان داده و کد حاوی عملوند و دستورالعمل جاری وجود داشته باشند اجرا دستورالعمل بدون دخالت گذرگاه و با استفاده از حافظه نهان ادامه می یابد.

(. Hold Bus ) HOLD

در صورتی که در هنگام نمونه برداری از HOLD این پایه ۱ باشد، پنتیوم سیگنال های گذرگاه خود را در حالت امپدانس بالا قرار داده و سیگنال HLDA را فعال می نماید. HOLD را می توان زمانی که پردازنده ای دیگر نیاز به استفاده از گذرگاه را دارد به کار برد.

( Instruction Branch Taken ) IBT

این خروجی به مدت یک سیکل ساعت در هنگام انشعاب، ۱ می شود (مثلاً در JNZ).

.....  
( Internal Error ) IERR

صفر بودن این ورودی بیانگر آن است که خطا در توازن و یا خطا افزونگی رخ داده است. خطا در توازن ممکن است باعث شود که پنتیوم به حالت shutdown برود.

( Ignore Numeric Exception ) IGNNE



در صورت صفر بودن این ورودی به پردازنده اجازه داده می‌شود که حتی در صورت بروز خطا اجرا دستورالعمل‌های ممیز شناور ادامه یابد.

#### INIT ( Initialization )

INIT یک ورودی حساس به لبه بال رونده است که باعث می‌گردد که پردازنده مانند راه‌اندازی مجدد، مجدداً مقداردهی اولیه شود ( initialize ) با این تفاوت که ثبات‌های داخلی و حافظه نهان، بدون تغییر باقی می‌مانند.

#### INV ( Invalidation Request )

در طول یک سیکل جستجو، از INV جهت تشخیص اینکه در مدت hit به حافظه نهان چه اتفاقی رخ داده است استفاده می‌شود. در صورتی که INV یک باشد خط حافظه نهان، غیر معتبر است و در صورت صفر بودن آن، خط به عنوان اشتراکی تلقی می‌گردد.

#### IU ( تمام دستورالعمل خط ارتباطی U – Pipeline Instruction Complete )

این خروجی در مدت یک سیکل ساعت ( در صورت اتمام یک دستورالعمل در خط ارتباطی U ) فعال می‌شود.

#### IV ( V – Pipeline Instruction Complete )

این خروجی در مدت یک سیکل ساعت ( در صورت اتمام یک دستورالعمل در خط ارتباطی V ) فعال می‌شود.

#### KEN ( Cach Enable )

صفر بودن این ورودی باعث می‌شود که داده‌هایی که در حال خواندن می‌باشند در حافظه نهان قرار گیرند. در صورتی که KEN یک باشد عمل caching انجام نمی‌پذیرد.

#### LOCK ( Bus Lock )

این خروجی به منظور بیان این موضوع که سیکل گذرگاه جاری قفل شده است و نمی‌توان آن را به وسیله کنترل‌کننده‌های دیگر گذرگاه مورد وقفه قرار دارد، به کار برده می‌شوند.

#### M/IO ( Memory / Input – Output )

این خروجی بیانگر نوعی سیکل جاری که در حال شروع است می‌باشد. اگر M/ IO یک باشد سیکل حافظه آغاز می‌شود، در غیر اینصورت عملیات IO اجرا می‌گردد

#### NA ( Next Address )



صفر بودن این ورودی مشخص کننده آن است که حافظه جانبی قادر به اجرا یک دستیابی از نوع Pipeline شده می باشد یعنی دو سیکل گذرگاه در هر لحظه می تواند در حال اجرا باشد.

### ( Non – Maskable Interrupt ) NMI

در صورت آنکه ورودی این سیگنال با یک لبه بالاورنده پالس تحریک شود، پنتیوم بردار وقفه ۲ را صادر می نماید. هیچ سیکل تصدیق وقفه خارجی تولید نمی شود.

### ( Private Bus Grant ) PBGNT

این سیگنال در یک سیستم دو پردازنده ای، مشخص کننده آن است که از گذرگاه می توان بطور اختصاصی استفاده نمود.

### ( Private Bus Request ) PBREQ

این سیگنال به منظور درخواست عملیات گذرگاهی بطور اختصاصی، در یک سیستم دو پردازنده ای به کار می رود.

### ( Page Cacheability Disable ) PCD

این خروجی مشخص کننده بیت PCD (Page cach disable) مربوط به CR3 می باشد. که جهت کنترل قابلیت نهان سازی بر مبنای صفحه به صفحه بکار می رود.

### ( Data Parity Check ) PCHK

در صورتی که پردازنده بتواند خطا توازن در گذرگاه داده را بیابد این ورودی، صفر می شود. سخت افزاری خارجی وظیفه انجام عملیات اشکال زدائی را بر عهده دارد.

### ( Parity Enable ) PEN

در صورتی که در طی سیکلی که خطا توازن کشف می شود این ورودی صفر باشد، پنتیوم یک کپی از سیگنال های آدرس و کنترل را در داخل یک ثبات کنترل ماشین قرار می دهد.

### ( Private Hit ) PHIT

در حالتی که سیستم دو پردازنده ای فعال است، PHIT در همساز نمودن حافظه نهان داخلی کمک می نماید.

### ( Private Modified Hit ) PHITM

این سیگنال نیز به کمک PHIT در انجام وظیفه PHIT در سیستم های دو پردازنده ای کمک می نماید.



**( Programmable Interrupt Controller Clock ) PICCLK**

این ورودی بر نرخ داده سریال ورودی در کنترل کننده وقفه داخلی AP/C به کار می‌رود.

**( Programmable Interrupt Controller Data ) PICD1 , PICD0**

این دو سیگنال جهت تعویض مقادیر داده ای با کنترل کننده وقفه داخلی AP/C به کار می‌روند.

**PRDY**

این خروجی در موارد اشکال زدائی کاربرد دارد. این سیگنال باعث می‌گردد که اجرای عادی پردازنده متوقف شده و به حالت خاصی از اشکال زدائی به نام حالت بررسی (Probe) وارد شود. PRDY در پاسخ به فعال شدن R/S یک می‌شود.

**( Page Writethrough ) PWT**

این خروجی در بردارنده وضعیت بیت صفحه بندی مربوط به نوشتن در حافظه نهان می‌باشد (CR3).

**R/S**

این پایه ورودی حساس به لبه منفی، پنتیوم را در حالت انتظار قرار می‌دهد، و دستورالعمل‌ها را در حالت بررسی (Probe) اجرا می‌نماید. این سیگنال را فقط می‌توان جهت اشکال زدائی به کمک درگاه اشکال زدائی Intel یک سخت افزار خطایابی مخصوص مربوط به Intel استفاده نمود.

**RESET**

ورودی RESET باعث می‌شود که پنتیوم ثبات‌های خود را با مقادیر مشخص مقداردهی اولیه نماید. کدها و داده‌های حافظه نهان غیر معتبر می‌شوند و دستورالعمل‌ها از آدرس FFFFFFF0H واکشی می‌شوند. RESET بایستی حداقل ۱ میلی ثانیه فعال باشد تا از عملکرد آن مطمئن شویم.

**( System Management Interrupt ) SMI**

این ورودی حساس به لبه منفی جهت ایجاد یک وقفه مدیریت سیستم به کار می‌رود. مدیریت سیستم جهت اجرا عملیاتی خاص مانند مدیریت تغذیه سیستم کاربرد دارد.

**( System Management Interrupt Active ) SMI<sup>ACT</sup>**

خروجی SMI<sup>ACT</sup> در پاسخ به SMI، صفر می‌شود و تا زمانی که سیستم در حالت مدیریت سیستم قرار دارد صفر باقی می‌ماند.



.....  
( Stope Clock ) STPCLK

در صورت صفر بودن ، این ورودی باعث می شود که پنتیوم پالس داخلی خود را متوقف نماید.  
پنج ورودی که در اینجا معرفی می گردند در درگاه اشکال زدائی Intel بکار می روند.

( Test Clock ) TCK

این ورودی در زمان اجرا روال خاص بررسی به نام (boundary scan) جهت ورود و خروج داده پالس به پنتیوم به کار می رود.

( Test Data Input ) TDI

این ورودی به داده اجازه می دهد که وارد پنتیوم شود. داده با لبه بالا برنده TCK پالس دهی می شود.

( Test Data Output ) TDO

اطلاعات سریال بررسی با لبه پائین رونده TCK تحریک می شوند.

( Test Mode Select ) TMS

این ورودی جهت کنترل ترتیب پویش مرزی به کار می رود.

.....  
( Test Reset ) TRST

این ورودی در صورت صفر بودن ، منطق کنترل کننده بررسی را راه اندازی مجدد می نماید.

.....  
( Writer / Read ) W/R

این خروجی جهت بیان اینکه سیکل جاری گذرگاه، سیکل نوشتن ( در صورتی که W/R یک باشد ) و یا سیکل خواندن (W/R صفر باشد ) باشد بکار می رود.

.....  
( Writer / Back / Writer Through ) WB/WT

این ورودی، قرار داد به روزآوری خط حافظه نهان جاری را تعیین می نماید که می تواند به صورت write back و یا through write باشد. خطوط حافظه نهان می توانند به کمک این پایه بر مبنای خط به خط تعریف شوند.

مشخصاً سخت افزار پنتیوم بسیار پیچیده می باشد . تنها مهندسین خبره که جزئیات و رمزهای آن را می دانند قادر می باشند که بردهای اصلی با سرعت بالا جهت نصب پردازنده پنتیوم طراحی نمایند.



منبع :

جیمز آنتونیکوس

ریز پردازنده پنتیوم

ترجمه : مهندس مهدی آصفی